

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-067500
 (43)Date of publication of application : 03.03.1992

(51)Int.CI. G11C 17/18
 H01L 27/10

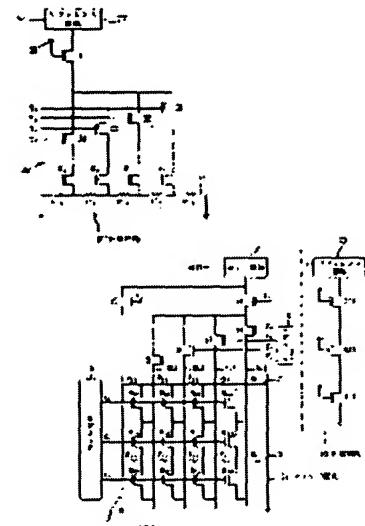
(21)Application number : 02-179790 (71)Applicant : RICOH CO LTD
 (22)Date of filing : 06.07.1990 (72)Inventor : FUKUMURA KEIJI

(54) SENSE AMPLIFIER CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To provide the operation of a sensing circuit with a margin by providing a reference cell and a selecting means in a reference voltage generating part to impress controlled voltage on a sensing part.

CONSTITUTION: A parasitic resistance value for parasitizing on the source side of a memory cell transistor M00 and so on provided in a memory cell array parasitizes the same resistance value as that of the memory cell transistor connected to respective bit lines also on a reference transistor M0 provided in an external circuit 10' and besides, the reference transistor corresponding to a position where the selected memory cell transistor is arranged can be selected by NMOS transistors 31 to 34. A current to flow in the memory cell transistor M00 and so on and the current to flow the reference transistor M0 and so on of the external circuit 10' are same even when either memory cell transistor M00 and so on are selected, and the same memory current can be supplied to a sensing circuit 7 and a reference circuit 20'. Thus, an allowance can be added to the reading operation margin of the sensing circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

から他の読み出しを終了のリファレンス回路20を
使用行なうROMにおいては、メモリセルアレ
イ内の圧電抵抗によるオン電極の減少に対しては
お由出業アーティンに余裕があるように考慮し、
一方、圧電膜が大きくなれないように考慮する
が務めがあった。これらの2点は、予習する型まで
より実力が完全に発揮せることはできないとい
う問題点があつた。

本開発はこのように問題点を解決するためにな
されたもので、センス回路の読み出し動作アーティ
ンに余裕があり、圧電膜が大きくなれないセン
スアンプ回路配置を提供することを目的とする。

【課題を解決するための手段】

本発明は、アレイ状に配列されたプログラムされ
たメモリセルのオン又はオフ状態の読み出し回路
動作を行なふようにより読み出しを進行させ
ンス部へ導かれた電圧を印加する高周波電圧生
成部を備えたセンスアンプ回路装置において、
上記高周波電圧生成部には、上記メモリセルと同
一の構成のメモリセルアレイが他の回路部によく接続

セラと同時に位置するリフレンスセルを測定して、
ま、さらには生ずる底流が開ヒとなることより
測定されたモリセルを流れる底流と測定された
リフレンスセルを測る底流とを一致させること
ができる。したがって、底流底压と底压とを
レンスセルと選压段とを替えたことは、センソ
器の出力は動作マージンをいずれのメモリセ
ルが選択されてもほぼ一定となるが、センソ
器の動作に余裕を持たせ、又、底流測定が大
きくならないよう作用している。

【実験例】

本研究のセンサシステムと回路構成の一実測例を示
す。図は、第2回に示す外観図10に用いた
外観図10のものを示したものであり、リフ
レンス底圧段の出力電圧を図に示すセンソ
器の入力側に接続される。内、センサ回路7
が受けたセンサモリセルアルレイの底壓検出部は第
1回に示すものと同一である。

外観図10の右側は、第2回に示すモリセルア
レイの外観図である。センサモリセルアレイは、モリセルア
レイの外観図である。

১৩৮৫৫ (৪)

上記メモリセルの所要数と同一数にて一行に並ぶされた複数のリファレンスセルと、各リファレンスセルに接続された上記各メモリセルに寄生するセスセルに構成された記憶構造体と、同じ位置にて記憶された記憶構造体と同位置に並ぶ記憶と、該出されたメモリセルと同位置に並ぶ上記リファレンスセルを選択する選択手段と、を備えたことを特徴とする。

【作用】

ROMのメモリセルアレイに記入される信号を、シグナラのドレインとグランド接続間に、上記トランジスタの記憶位置に応じてそれぞれ異なる記憶の記憶状態が寄生する。よって基板電圧発生部にもメモリセルアレイにおいてグランド接続間に記憶された行方向におけるメモリセル群と同一行に記憶された行方向におけるメモリセル群とを同一行に二行のリファレンスセルを備え、これらのリファレンスセルのそれぞれに上記記憶状態のと同じ遮断状態が寄生するような構造を形成し、さらに選択されたメモリセルと同列に並ぶ上記リファレンスセルを選択できるように選択手段を備えたことは、メモリセルアレイ内の記憶されたメモリセルを直接選択できるように選択手段を備えた。

卷之三

卷四 17500 (6)

ストラシナツクM.ないしM.のソースをそれぞれ
試験目に相当する近似度を有する距離を介して供
しても良い。

【発明の効果】

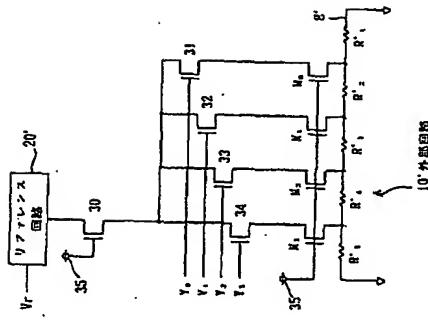
以上詳述したように本発明によれば、センス断
へ転換された電圧を印加する基準電圧発生部にリ
フランセンスセルと透析セルとを組み立すことより、
選択されたメモリセルを透過する電流と透析された
リフランセンスセルを透過する電流とを一致させるこ
とができる。センス回路の読み出し動作における基
本度をいずれのメモリセルが選択されてもほぼ一
致定とすることができるセンス回路の動作に余裕を持
たせることができる。又、センス回路の動作に余
裕を持たせることができることより、メモリセル
アレイにおいてグランド電圧を受ける回路を大き
くすることができる、記憶回路を縮小化することができる。

4. 図面の簡単な説明

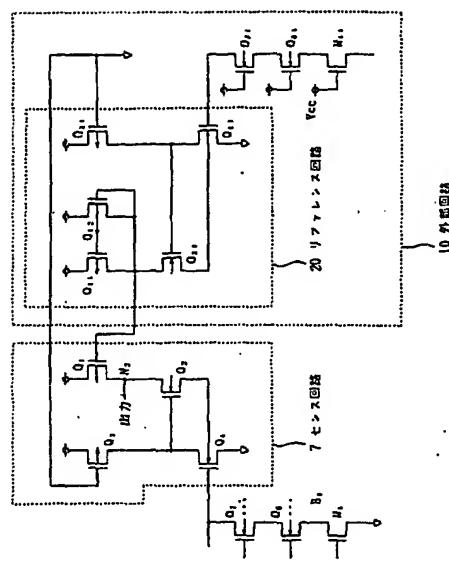
第1図は本発明のセンスアンプ回路装置に使用
される外部回路の一実施例を示す回路図、第2図

はメモリセルアレイ側の回路構成及び從来の外部
回路の構成を示す回路図、又3図はセンス回路及
びリフランセンス回路の一構成例を示す回路図であ
る。

一
九



四
五



特開平 4-67500 (8)

四
九
元

